

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-183457

(43)Date of publication of application : 21.07.1995

(51)Int.Cl.

H01L 27/04

H01L 21/822

(21)Application number : 05-327134

(71)Applicant : NEC CORP

(22)Date of filing : 24.12.1993

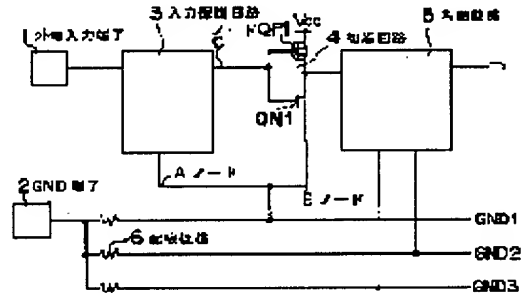
(72)Inventor : KONDO YASUO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the breakdown of an inner circuit of a semiconductor integrated circuit, and improve the breakdown voltage to static electricity, by connecting an input protective circuit and the first stage of an inner circuit connected to the input protecting circuit with the same ground wiring, and minimizing the resistance between nodes of the ground wiring.

CONSTITUTION: The inner circuits of a semiconductor device except a protective circuit 3 are formed so as to be divided into a first stage circuit 4 to which the output of the protective circuit 3 is inputted and an inner circuit 5 to which the output of the first stage circuit 4 is inputted. In the structure of ground wirings, a ground wiring node A of the input protecting circuit 3 and a ground wiring node B of the first stage circuit 4 are so connected that the resistance between the node A and the node B is minimized. In this state, the nodes A and B are connected to a ground wiring GND 1. The inner circuit 5 is connected to a ground wirings GND 2, GND 3 which are formed separately from the ground wiring GND 1. Thereby a voltage higher than or equal to the clamp voltage of the input protecting circuit 3 is not applied to the first stage of the inner circuit 5, and the breakdown in the inner circuit 5 can be prevented.



LEGAL STATUS

[Date of request for examination] 12.08.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2570610

[Date of registration] 24.10.1996

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2570610号

(45) 発行日 平成9年(1997)1月8日

(24) 登録日 平成8年(1996)10月24日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

H 0 1 L 27/04

H

21/822

請求項の数2(全 6 頁)

(21) 出願番号 特願平5-327134

(22) 出願日 平成5年(1993)12月24日

(65) 公開番号 特開平7-183457

(43) 公開日 平成7年(1995)7月21日

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 近藤 泰男

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

審査官 大嶋 洋一

(54) 【発明の名称】 半導体装置

1

(57) 【特許請求の範囲】

【請求項1】 外部入力端子に接続される複数の分割された接地電位配線を備え、このうち第1の接地電位配線と他の外部入力端子および内部入力配線の間に接続される静電入力保護回路において前記内部入力配線が最初に接続されるトランジスタの第2の接地電位配線が前記第1の接地電位配線と低抵抗にて接続されていることを特徴とする半導体装置。

【請求項2】 第1及び第2の接地配線と、入力端子に接続された入力保護回路と、前記入力保護回路の出力が入力される第1の内部回路と、前記第1の内部回路の出力が入力される第2の内部回路と、前記入力保護回路の接地用端子と前記第1の内部回路の接地用端子とを相互に低インピーダンスで接続しかつ共通に前記第1の接地配線に接続する接続手段と、を有し、前記第2の内部回

2

路は前記第2の接地配線に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に入力保護回路を備えた半導体装置に関するものである。

【0002】

【従来の技術】 近年の集積回路における素子の高密度化や低電圧化はV_{CC}配線やGND配線等による各種ノイズを増大させノイズマージンを減少させる方向にある。

【0003】 このノイズによる誤動作を防ぐため、VLSIではV_{CC}配線やGND配線を目的種別にレイアウト上で分割している。即ち、グラウンド配線に対して大電流を流す可能性のある保護回路については、そのグラウンド配線を他の内部回路用グラウンド配線とは別個に布設し、

3

内部回路の誤動作を防いでいた。また、例えば内部回路においても、高精度の動作が要求されるセンスアンプ等の回路については、さらに専用のグランド配線を形成することもあり、結局、半導体装置においてグランド配線は分離して複数本形成されるのが一般的である。図9は第一の従来例であり、GND1をクランプ先としてもつ入力保護回路3とその周辺部における回路の等価回路図である。図9においては、半導体装置における保護回路3以外の内部回路を、保護回路3の出力が入力される初段回路4と、この初段回路4の出力が入力される内部回路5とに分けて示しており、また初段回路4の例として、CMOSインバータを示している。この初段回路は、半導体装置において入出力回路として機能するものである。従来このように入力保護回路3が構成されていたので、異常な電圧が入力端子1に印加された場合、入力保護回路3によって電圧はクランプされ余分な電流はノードAを通り、グランド配線GND1を介してGND端子2に流れ込み、入力回路初段4にはクランプ電圧以上の電圧は印加されないようになっている。また入力保護回路3のグランド配線GND1と初段回路4及び内部回路5のグランド配線GND2、GND3とは分割して配線することにより配線長による若干の抵抗をもち、ノイズが伝わりにくくなっている。

【0004】図10は第二の従来例であり、第一の従来例同様、グランド配線をクランプ先としてもつ入力保護回路とその周辺回路の等価回路図である。第一の従来例と同様なくみによって入力保護回路が働くが、グランド配線の分割が行われていないため、ノイズに対する耐性には問題が発生しやすかった。

【0005】

【発明が解決しようとする課題】CDM(Charge Device Model)で与えられるような早い立ち上がりの異常電圧が入力端子に加えられた場合、10A以上の瞬間電流が入力保護回路からグランド配線GND1に流れる。現状の4M-16M DRAMのプロセスではこの部分の配線として用いられるA1の配線抵抗は数十mΩ/オングストローム程度であるとする。図9に示すような配線を目的種別に分けたレイアウトでは入力保護回路3に接続されているグランド配線GND1の部分と初段回路4のGNDとの間には数Ωの抵抗が存在する。このため異常電圧印加直後において、図9に示すように、保護回路3のグランド配線用の出力端であるノードAの電位は、初段回路のグランド配線用の出力端であるノードBの電位にくらべて、数十V高くなる。即ち、図11はこの様子を示すタイミングチャートであり、外部入力端子1の電圧が時刻t1において異常に大きくなったとき、ノードAの電位も同様に前述の数十Vだけ上昇している。保護回路3の出力端であるノードCの電圧は、ノードAの電圧に対して、保護回路3のクランプ電圧VCを加えたものとなるので、結局ノードCの

4

電圧は、接地電圧を維持しているノードBに対し、数十Vに電圧VCを加えたものとなる。

【0006】従って、初段回路4においては、グランド配線が接地電圧のままで、入力電圧が異常に上昇することとなり、トランジスタQN1、QP1のゲート酸化膜の破壊を生じることになる。

【0007】また図10に示すようなすべてのGNDを同一に接続したレイアウトでは入力保護回路直下のGNDと内部回路初段のGNDとの間の抵抗が図9の回路に比して小さいため、内部回路初段での破壊はおこりにくい。高集積化したVLSIではノイズによる誤動作が発生しやすくなってしまうという問題点があった。

【0008】

【課題を解決するための手段】本発明の半導体装置は、外部入力端子に接続される複数の分割された接地電位配線を備え、このうち第1の接地電位配線と他の外部入力端子および内部入力配線の間に接続される静電入力保護回路において前記内部入力配線が最初に接続されるトランジスタの第2の接地電位配線が前記第1の接地電位配線と低抵抗にて接続されている。

【0009】

【実施例】次に本発明について図面を参照して説明する。

【0010】図1は本発明の第一の実施例の等価回路図である。

【0011】本実施例においては図9に示す従来例とほぼ同様なグランド配線の構造をもっているが、入力保護回路3のグランド配線用ノードAと初段回路4のグランド配線用ノードBとがその間の抵抗を最小にするように接続されたうえで、グランド配線GND1に接続されている。

【0012】また、内部回路5は、グランド配線GND1から分離して形成されたグランド配線GND2、GND3に接続されている。

【0013】図2は、図1に示す保護回路3の等価回路図であり、外部入力端子1へ印加された高電圧により、電流を半導体基板SUBへ流すトランジスタQ21、信号路に直列に挿入された抵抗R21、抵抗R21の電位による電流を基板SUBへ流すダイオードD21および抵抗R21からの信号の高電位による電流をさらにグランド配線GND1へ流すトランジスタQ22を有している。

【0014】図3は図2に示す回路の半導体基板上における構成の例を示す断面図である。外部入力端子からの信号は、ポリシリコン配線36を通してトランジスタQ21を形成するP型拡散層32及び抵抗R21を形成するN⁺型拡散層34の一端に接続されている。このときN⁺型拡散層34は同時に基板SUBとの間でダイオードD21を形成するとともにその他端はトランジスタQ22のドレインとして機能している。また、N⁺型拡散

5

層34の他端はポリシリコン配線37に接続されており、ポリシリコン配線37は、保護回路3の出力端ノードCとなるとともに、トランジスタQ22のゲート電極となっている。一方、トランジスタQ22のソースとなるN型拡散層35は、ポリシリコン配線38に接続される。このポリシリコン配線38が、保護回路3のグランド配線用出力端ノードAとなる。

【0015】初段回路4のトランジスタQP1は、半導体基板SUB上に形成されたNウェルNW上にさらに形成されたP型拡散層QP1S、QP1Dをそれぞれソース、ドレインとして形成されており、トランジスタQN1はN型拡散層QN1S、QN1Dをそれぞれソース、ドレインとして形成されている。そしてこのソース拡散層QN1Sは、ノードBとなるポリシリコン配線37に接続されている。

【0016】ポリシリコン配線37、38は、さらに上層配線として形成されたポリシリコン配線40に、コンタクトを介して接続されており、従ってこのポリシリコン配線40が保護回路3及び初段回路4のグランド配線用ノードA、Bを相互に短絡することとなる。そしてポリシリコン配線40は、A1配線として形成されたグランド配線GND1に接続されている。ポリシリコン配線40は、例えば幅を広く形成し、またレイアウト上可能な限り短く形成することによって、低インピーダンスを有するように形成されている。

【0017】図4は、外部入力端子1に異常な高電圧が印加された場合における本実施例の半導体装置の動作を示すタイミングチャートである。時刻t1に、静電気等に起因して入力端子1に高電圧が印加されると、その電圧は図3に示すポリシリコン配線36を通してP型拡散層32及びN⁺型拡散層34の一端に印加される。これによってP及びN型拡散層32及び33の電位は上昇し、トランジスタQ21のベース・コレクタ接合であるN型拡散層33と基板SUBとの界面における空乏層が拡大し、これがP型拡散層32に達することにより、P型拡散層32から基板SUBへ電流が流れる。一方N⁺型拡散層はダイオードD21として機能して基板SUBへ電流を流しつつ、入力電圧をポリシリコン配線37に印加する。この場合において、半導体基板SUBは所定の負の電位に保たれている。ポリシリコン配線37は図3に示すようにトランジスタQ22のゲート電極として機能し、ソース、ドレインであるN⁺型及びN型拡散層34、35の間の基板SUB上にチャネルが形成され、従ってN⁺型拡散層34からN型拡散層35を介して、それにコンタクト接続されているポリシリコン配線38に電流が流れる。このポリシリコン配線37は図1に示す保護回路3の信号出力ノードCに相当し、また、ポリシリコン配線38はグランド配線用出力端ノードAに相当するものであり、ポリシリコン配線40を介してグランド配線GND1に接続されている。従って外部入力端

6

子1に入力された前述の高電圧による電流はグランド配線GND1を通してGND端子2に流れ、これによりノードCの電位は、保護回路3の持つ所定のクランプ電圧VCだけ、ノードAよりも高い電圧に維持される。

【0018】しかし、この場合において、図1に示すようにグランド配線GND1には配線抵抗6があるため、異常な高電圧が入力されたときにはノードAの電圧は接地電圧には維持されず、図4に示すように上昇する。従って、ノードCの電圧も同様に、ノードAの電圧にクランプ電圧VCを加えただけ上昇することになり、その電圧が図3に示す信号配線SCを通して初段回路4のトランジスタQN1、QP1のゲートに入力されることになる。

【0019】一方、初段回路5のグランド配線用ノードBは、本実施例においては図3に示すトランジスタQN1のソースであるN型拡散層QN1Sにコンタクト接続されたポリシリコン層39に相当し、このノードBは前述のポリシリコン配線40に接続されている。即ち、ノードA及びBは相互に接続され、共通のグランド配線GND1に接続されることになる。従って、時刻t1以降、ノードBの電位は、図4に示すようにノードAの電位からポリシリコン配線40の配線抵抗によるわずかな電圧降下を差し引いたレベルにまで上昇する。即ち、例えば2000Vの高電圧が入力端子1に印加された場合クランプ電圧VCを15Vとすれば、初段回路4のnc_hTrのゲートにかかる電圧即ちノードCの電圧はノードAの電圧に対して15V高い値が加わる。外部を含めた系全体の即ち外部入力端子1からGND端子2までの抵抗を1.5kΩとするとノードAを通過する電流は1.3Aに達する。ノードAとGNDとの間に約5Ωの抵抗が存在するとするとこの間の電位差は7V程度になる。本実施例においてはノードAとノードBとの間は7Vよりはるかに小さく、ノードBも実質的に7Vとなる。一方、図9に示す従来の装置においてはノードAは7V、ノードBは0Vとなる。即ち初段回路4のトランジスタのゲート=ソース間電圧は本実施例においてはクランプ電圧と同じ15V程度であるが従来の装置では22Vにも達し、トランジスタの破壊される可能性は本実施例に比べ非常に大きくなっている。本実施例によればグランド配線GND1の電位上昇にもかかわらず、初段回路4を確実に保護することができる。

【0020】図5は第2の実施例である半導体装置の断面図であり、図3に示す装置と異なる点は、N型拡散層35、QN1Sに対するコンタクトをとるポリシリコン配線38、39のかわりに、単一のポリシリコン配線41を用いてこれら拡散層35、QN1Sに直接コンタクトをとっていることである。これによりノードA、B間の電位差をより小さくして保護機能を確実なものとしている。また本実施例によれば、図1に示すポリシリコン配線40を形成するための配線工程を省略でき、半導体

7

装置の製造を容易なものとすることができる。

【0021】図6及び7は第3の実施例を示すデバイス断面図及び回路図である。本実施例においては、半導体装置の保護回路3は、保護回路用グラウンド配線GND11に接続し、また保護回路以外の回路のうち、保護回路の出力が入力される初段回路4に対しても、専用のグラウンド配線GND12を形成し、接続している。そして、保護回路3、初段回路4を除く内部回路5は、グラウンド配線GND2、GND3に接続している。即ち、図6に示すように、保護回路3のグラウンド配線用ノードAであるポリシリコン配線38は、グラウンド配線GND11に、初段回路4のノードBであるポリシリコン配線39はグラウンド配線GND12によってそれぞれコンタクトがとられる。

【0022】そしてこれらグラウンド配線GND11、GND12は、ポリシリコン層60によって相互に接続される。このポリシリコン層60は、図6に示すようにポリシリコン配線38、39と同じ配線層内に形成することも可能である。そしてこのポリシリコン配線60は、グラウンド配線GND11、GND12相互の電圧を、異常な高電圧が入力された際にも、ほぼ等しく保つことができるように、低インピーダンスを持つように形成されている。これにより本実施例によれば、入力保護回路及び初段回路用のそれぞれのグラウンド配線を別々に形成でき、配線によるレイアウトの複雑化や乱れをひきおこすことがなく、かつ、第1の実施例と同様にノードB、C間の電位差がクランプ電圧よりも大きくなるのを防ぐことができ、保護機能を確実に果たすことができる。また、前述のようにポリシリコン層60を形成するための特別の工程の増加はない。

【0023】図8は第4の実施例である。ノイズをより一層おさえるため、GND配線は複数のGND端子により外部入力端子自体から分離した構造を有している。本実施例においても第1の実施例同様、入力保護回路3のノードAと初段回路4のノードBとは、その間の抵抗を

8

最小にするように接続されている。これにより初段回路の nch Trのゲート=ソース間電圧はクランプ電圧とそう大差ない値におさえられ、Trの破壊に至る可能性は非常に小さい。

【0024】

【発明の効果】以上説明したように本発明は、多種の目的別にGND配線を分割したGND配線系の中で入力保護回路のクランプ先であるGNDとこの入力保護回路につながる内部回路の初段のGNDとを共通のものをを用いることによって、大量の電流がこの経路を通過した場合でもほとんど前述のGND間に電位差がつくことがないので入力保護回路のクランプ電圧以上の電圧が内部回路の初段にかかることがなく、内部回路での破壊を防ぐという結果を有する。

【図面の簡単な説明】

【図1】本発明の第一の実施例の回路図。

【図2】本発明の第一の実施例の保護回路の回路図。

【図3】第一の実施例におけるデバイス断面図。

【図4】第一の実施例における装置のタイミングチャート。

【図5】第二の実施例を示すデバイス断面図。

【図6】第三の実施例を示すデバイス断面図。

【図7】第三の実施例の装置の回路図。

【図8】第四の実施例の回路図。

【図9】従来の装置の回路図。

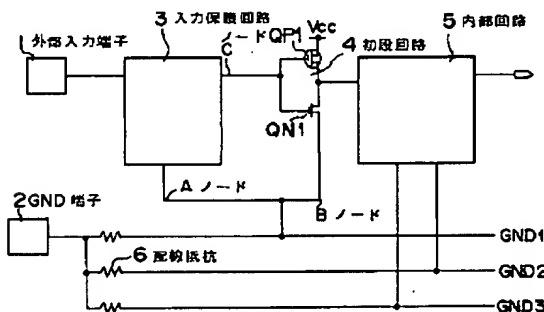
【図10】従来の装置の回路図。

【図11】従来の装置のタイミングチャート。

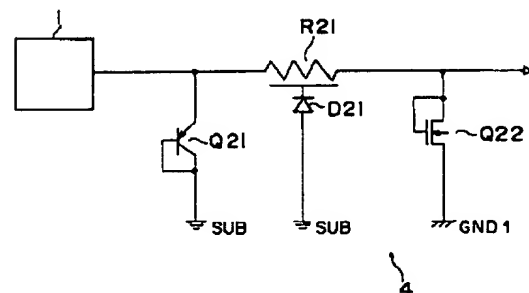
【符号の説明】

- 1 外部入力端子
- 2 GND端子
- 3 入力保護回路
- 4 初段Tr
- 5 内部回路
- 6 配線抵抗

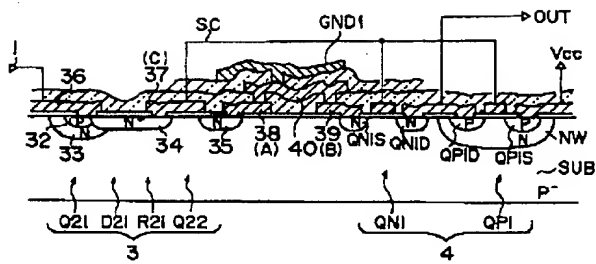
【図1】



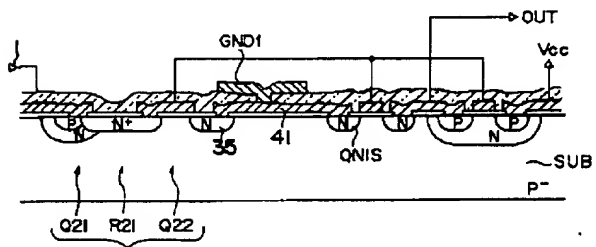
【図2】



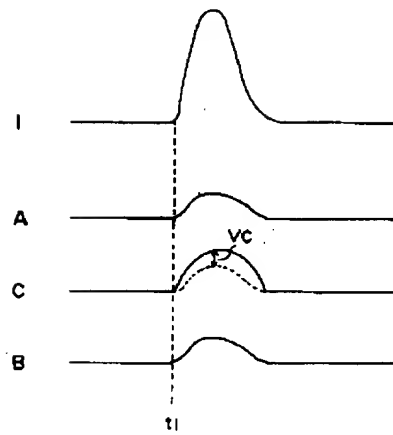
【図3】



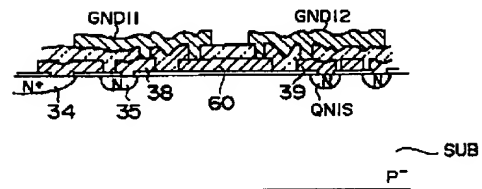
【図5】



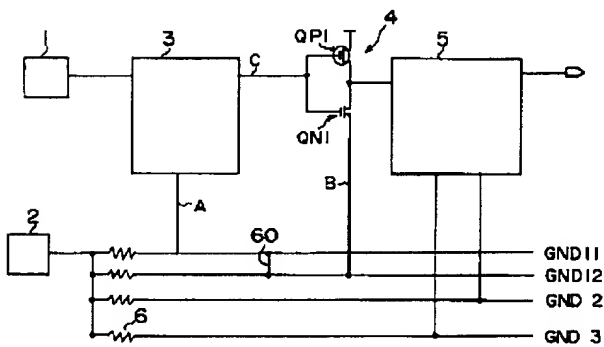
【図4】



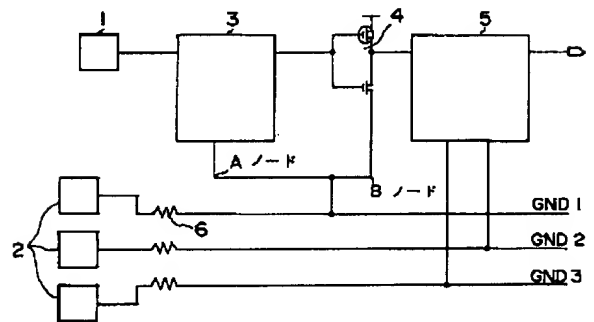
【図6】



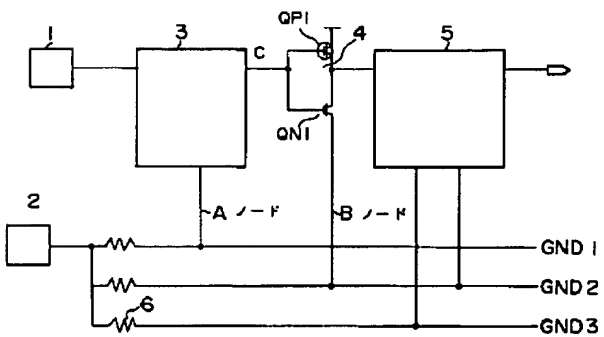
【図7】



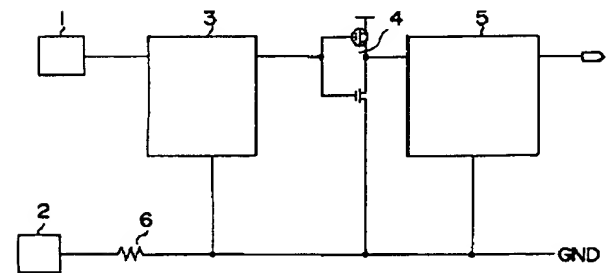
【図8】



【図9】



【図10】



【図11】

